

一种高速片上互连接收电路设计

鲁 晟, 蒋剑飞, 何卫锋, 毛志刚

(上海交通大学 微电子学院, 上海 200240)

摘 要: 在片上通信领域, 随着片上系统(SOC)以及片上网络(NOC)的发展以及集成核数的增加, 全局互连成为片上设计性能与功耗瓶颈。低摆幅互连是一种兼顾高传输率和低能耗设计, 它主要由发送电路和接收电路两部分构成。本文提出一种基于 TSMC 90nm 工艺的接收电路, 适用于低摆幅的全局互连。该接收电路结构包括一种改进的灵敏放大器和模拟型判决反馈均衡器, 用于消除传输线造成的码间串扰。电路在双时钟沿工作, 传输率提升一倍。所设计的接收电路与相关结构相比, 性能与单位能耗相当, 但平均功耗有较大优势。

关键词: 低摆幅; 灵敏放大器; 接收电路; 双时钟沿电路; 判决反馈均衡器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2013)02-0103-05

A Receiver Circuit Design for High Speed On—Chip Global Interconnect

LU Sheng, JIANG Jian-fei, HE Wei-feng, MAO Zhi-gang

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: In on—chip communication, with the development of SOC and NOC and the increment number of cores embedded in a single system, the global interconnects are becoming a speed and power bottleneck. Low swing global interconnect, which has emerged as a solution to higher data rate and lower power consumption application, is mainly consist of the transmitter and receiver. In this paper, a half—rate clock receiver circuit with DFE, which is used in low swing global interconnect, is designed based on TSMC 90nm CMOS technology. The receiver consists of a new improved sense amplifier structure and an analog DFE used to eliminate the ISI on the output signals. The half—rate clock strategy is used to double the bit—rate on the receiver. The proposed receiver achieves a better average power consumption comparing with the related structure, while the delay and unit energy are nearly the same.

Key words: low swing; sense amplifier; receiver circuit; half—rate clock; DFE

1 引言

随着工艺的进步与片上系统(SOC)的发展, 芯片中集成的内核与功能越来越多。片上互连的需求也随之增加。互连线根据其功能可以分为局部互连线和全局互连线。局部互连线连接功能模块中的单元与门电路, 其长度较短并且随着工艺的缩小而缩短。全局互连线在芯片中往往跨越较长的距离, 通常作为地址与数据总线连接内核与存储器、内核与内核、或者作为其他功能模块之间的互连。近年来片上

网络(NOC)正逐步替代片上系统成为片上通信的重要手段, NOC 中点对点路由器互连线由较长的全局互连构成^[1]。互连线的延时随长度的增加而呈平方关系, 对于较长的全局互连, 延迟的增加导致了传输率的降低。同时, 随着系统集成核数的不断增加, 全局互连线数目相应增加使之成为片上系统能耗开销的重要部分。因此, 全局互连线成了片上通信领域速度和能耗的瓶颈。在传统的电路设计中为减小互连线延时以及高频信号线间串扰的影响, 在连线上插入反相器, 使总延时随线长线形增长。插入反

收稿日期: 2012-05-20; 修回日期: 2012-06-22

基金项目: 国家“九七三”重点基础研究发展计划项目(2011CB933202)

相器的方法简单可靠,但随着工艺的缩小及互连长度的增加,插入的反相器尺寸增大、数量增多,导致延时、功耗及面积等严重问题.低摆幅互连兼顾高传输率和低能耗,是解决上述问题的一种可行方案.其通用结构如图 1 所示,包括发送电路和接收电路,其中发送电路用来将正常电平信号转化为差分的低摆幅信号,而接收电路则是接收通过传输线的差分信号,并将其还原为正常电平信号^[2-4].

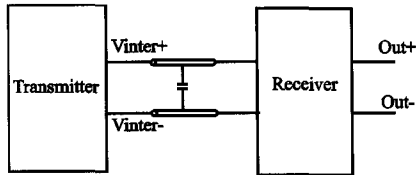


图 1 通用的低摆幅互连结构

低摆幅互连的接收电路主要由包括灵敏放大器 (SA) 以及 SR 锁存器的触发器构成.灵敏放大器分为电压型和电流型两种,其中电压型灵敏放大器因其结构简单、复杂度较小、性能稳定,被普遍用于数字电路应用领域.文献[5]中提出一种建立时间与保持时间总共只需 18ps 的双尾型锁存器结构灵敏放大器,这一结构的失配电压较小,适用于低摆幅互连.文献[6]中提出一种对称的 SR 锁存器,用以克服传统非对称锁存器延迟较大的缺点.判决反馈均衡器 (DFE) 主要用于通信领域,在文献[2]中被首先引入到低摆幅互连结构,以去除全局传输线引起的码间串扰在输出端产生的信号拖尾现象.文献[7]中提出接收电路的双时钟策略,使得电路的传输率翻倍.

本文提出一种双时钟沿工作,带判决反馈均衡器的接收电路,用于低摆幅互连结构.接收电路在时钟上升沿以及下降沿接收传输线的差分信号实现放大.设计使用改进型灵敏放大器,提升接收电路的稳定性.判决反馈均衡器由连续时间滤波器将输出判决信号反馈到接收电路的输入端,抑制了传输线码间串扰,降低数据传输的误码率.

2 改进型灵敏放大器设计

电压型灵敏放大器性能稳定,结构简单,通常采用差分输入,从而具有良好的抗噪声能力,主要结构有电流镜型、交叉耦合型、锁存器型等等.带差分输入的锁存器型结构输入阻抗高,输出全电压摆幅,并且无静态功耗,被广泛应用于数字电路^[8],但这一结构需要较大电压裕度,不适用于电源电压较小的纳米工艺.双尾型锁存器结构灵敏放大器 (Double tail

latch-type SA)^[5]如图 2(a),调整了电路结构,降低了电压裕度.该结构工作分为预充电和求值两个阶段.预充电阶段,Clk 置零,Di+ 与 Di- 被充电至电源电压,输出端 Out+, Out- 放电至零.求值阶段,Clk 信号为高,输入端的共模信号使得 Di+ 与 Di- 同时开始放电,然而,由于差分输入使得放电速度不同,从而造成 Di+ 与 Di- 的电压差 ΔDi ,由于这两个支路都在放电,电压差 ΔDi 的存在时间并不长.电压差 ΔDi 通过 M10、M11 传输到第二级,使得交叉耦合反相器开始工作,并在 ΔDi 消失之前放大到输出端.与其他电压型灵敏放大器相比,双尾型锁存器结构性能有较大提升,但通过晶体管级仿真发现,原有结构仍需要一定改进.

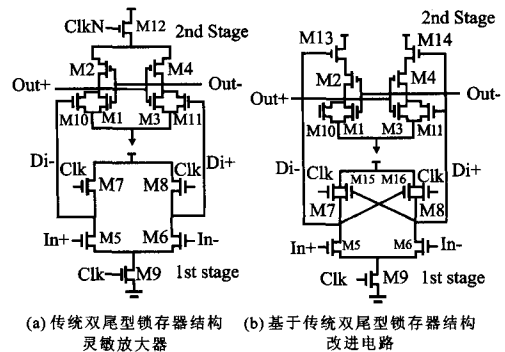
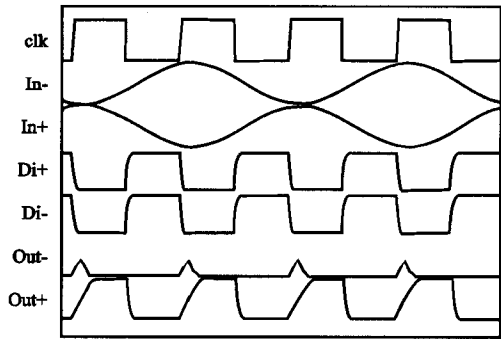


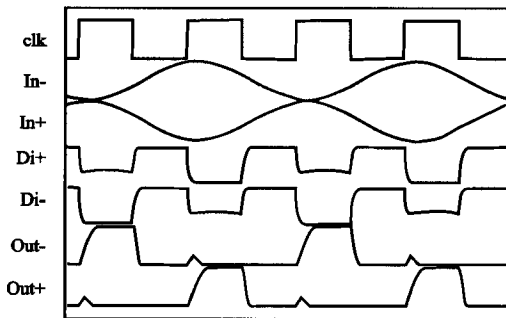
图 2 改进前后灵敏放大器结构

当灵敏放大器后接一定负载电容后,导致电路的输出结果出错.如图 3(a)是双尾型锁存器结构输出接 4fF 负载电容,共模输入电压为 0.9V,差分输入 In+, In- 为最大幅度差为 50mV 的正弦波,而输出端 Out+, Out- 没能正确放大差分输入信号.分析原因,在放电阶段,输出端接的负载电容减慢了交叉耦合反相器还原输入信号的速度,但放大器第一级输出 Di+, Di- 放电速度不变.所以当第一级的 Di+, Di- 完成放电时,第二级的交叉耦合反相器还没有及时正确响应 Di+, Di- 的电压差,导致了输出端口 Out+, Out- 未能正确放大差分输入 In+, In-。一种解决方法就是延长 Di+, Di- 端口差分信号的保持时间,在传统的双尾型锁存器结构的第一级增加反馈 PMOS 管 M15, M16.改进后的放大器波形如图 3(b)所示,仿真输入不变,Di+, Di- 的电压差持续整个时钟周期,第二级交叉耦合反相器总能够正确响应 ΔDi ,改进后的电路能在较大的负载电容下仍正常工作.

传统的双尾型锁存器结构工作,需要两相时钟控制^[5].因为求值阶段第二级交叉耦合反相器需要等到第一级的输出 Di+ 与 Di- 形成的电压差 ΔDi



(a) 传统双尾型锁存器结构灵敏放大器仿真波形



(b) 传统双尾型锁存器结构增加M15, M16后的仿真波形

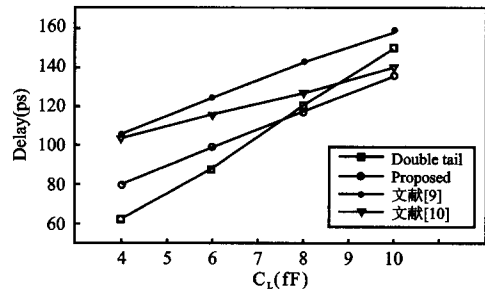
图3 改进前后仿真波形对比

后才能正常响应,故设计中对双时钟沿需要精确控制以确保电路正常输出差分信号.文献[9-10]分别提出了两种结构用以移除传统的双尾型锁存器结构中的两相时钟控制,并用第一级的输出信号代替反相时钟.改进的灵敏放大器结构在第二级电路用M13、M14管替代M12成为第二级的尾电路,并分别通过Di+与Di-控制,如图2(b)所示,从而消除了两相时钟控制带来的时序问题.与文献[9-10]提出的结构相比,图2(b)所示结构额外增加的面积开销较小.

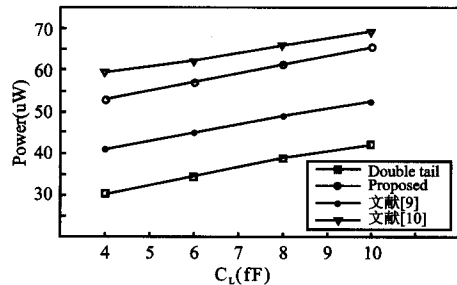
本文提出的改进后灵敏放大器结构工作同样需两个阶段.在预充电阶段,Di+与Di-预充电至高,输出端口Out+,Out-保持为低.进入求值阶段,第一级输出Di+与Di-开始放电,但由于存在反馈M15和M16,根据差分输入将Di+与Di-其中之一上拉至介于电源电压和地之间的亚稳态,而另一端为零,因此电压差 ΔDi 在整个求值阶段都存在.从而第二级交叉耦合反相器有充足的时间响应第一级的差分输出Di+与Di-,从而得到正确的差分输出.

对改进的灵敏放大器进行延迟和功耗分析,图4(a),(b)分别为所改进结构与传统双尾型锁存器结构,以及文献[9-10]的结构的延迟以及功耗比较.输出负载从4fF到10fF,共模输入电压为0.8V.如

图4(a),当输出负载较大时,改进结构的延迟最小;而当负载较小时,延迟相比于其他单相时钟结构较小.如图4(b),改进的结构由于在第一级引入了正反馈以及亚稳态节点,因此平均功耗与其他结构相比较大.



(a) 改进结构与传统双尾型以及文献[9][10]结构延迟比较



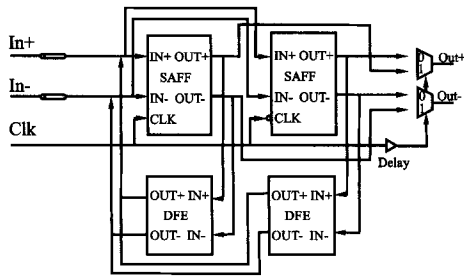
(b) 改进结构与传统双尾型以及文献[9][10]结构功耗比较

图4 改进结构与传统双尾型以及文献[9][10]结构延迟和功耗比较

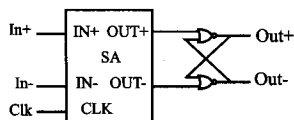
3 接收电路设计

所设计电路旨在还原通过全局互连后的低摆幅差分信号,全局互连长度定为典型的长度10mm,从而易于与相关设计比较.接收电路使用TSMC 90nm工艺,设计需控制接收电路的还原信号的延迟,使得单条传输线的传输率高于1Gb/s,对于双时钟沿电路高于2Gb/s.同时,要求接收电路的单位能耗小于0.3pJ/bit,并相应减小平均功耗.

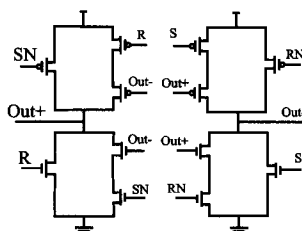
所设计的接收电路在双时钟沿下工作,接收电路结构如图5(a)所示.电路由时钟上升沿和下降沿触发的触发器,相应的判决反馈均衡器和数据选择器模块构成.上升沿和下降沿触发器分别在两时钟边沿采样通过传输线信号,数据选择器根据时钟信号选择哪种触发器的输出作为最终输出.控制选择器的时钟信号通过延迟与触发器延迟相当的缓冲单元,使得控制时钟在触发器得到正确结果后才变化,消除中间结果在输出端的毛刺.使用上述结构,接收电路传输率提升一倍.



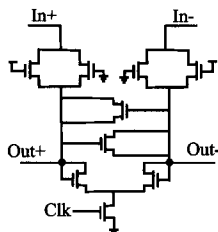
(a) 接收电路的整体结构



(b) 触发器结构



(c) 对称型 SR 锁存器结构



(d) 判决反馈均衡器结构

图 5 接收电路结构

3.1 灵敏放大器型触发器(SAFF)设计

灵敏放大器型触发器(SAFF)由灵敏放大器与 SR 锁存器构成,用于采样通过传输线的信号。下面主要描述 SR 锁存器设计。图 5(c)为对称型的锁存器的基本结构,该结构中锁存器的差分输出端的充电或者放电通路上总有一支路与另一个输出无关,因此锁存器两输出同时进行翻转,而在传统 CMOS 锁存器结构中,差分输出的放电支路需要另一个输出信号作为输入,故不能同时响应。因此,对称型 SR 锁存器延迟较小,被用于所设计接收电路的触发器中,灵敏放大器型触发器的完整结构如图 5(b)所示。

3.2 判决反馈均衡器(DFE)设计

判决反馈均衡器由一个一阶的模拟型 RC 滤波器构成,其结构如图 5(d)所示,其中电阻和电容都由 MOSFET 替代,并由一个时钟控制尾电路控制

反馈结构的增益。所设计的接收电路可以有两种反馈方式,第一种方式将输出信号反馈到灵敏放大器的中间节点,如文献[2]的接收电路。另一种方式如图 5(a)所示,输出直接反馈到接收电路的输入端。判决反馈均衡器消除码

间串扰的效果通过分析眼图和品质因数(Q),从而估计出误码率(BER)^[4,11]。图 6 所示为上述两种判决反馈方式与无反馈结构的误码率估计。仿真结果显示,如图 5(a)方式的判决反馈均衡器水平方向眼的宽度最大,达到小于 10^{-10} 误码率占整个周期 72.9%,是一种较优方案,故被应用于所设计接收电路。

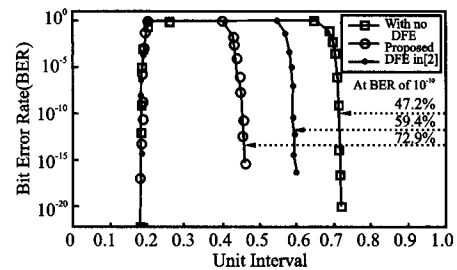


图 6 判决反馈方式的比较

文中接收电路通过 SPICE 模型仿真,进行功能验证。仿真模型如图 5(a)所示,输入 in+, in- 为周期方波, ΔV_{in} 为 50mV,共模输入电压为 0.8V。输入波形通过 10mm 传输线,传输线使用文献[4]的 RC 网络模型。如下图 7 所示,由文献[12]可知,分布式电阻参数 R 为 134 Ω /mm,分布式电容参数 C 为 239 fF/mm,耦合电容参数 C_c 为 41 fF/mm。图 8 为接收电路的输入信号与输出信号的眼图对比,其中图 8(a)为输入波形,图 8(b)为输出波形,眼图叠加了 5000 次相同条件下的仿真。如图 8(a),由于传输线的噪声和互扰,使得接收电路的输入波形并非很理想,但所设计的接收电路依旧将输入信号放大为正常的信号。

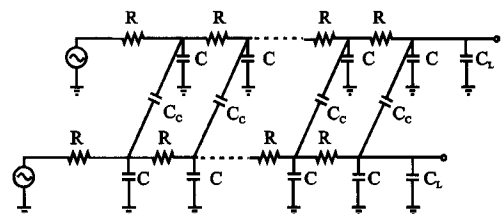


图 7 传输线的 RC 网络模型

图 8 所设计的接收电路的性能在表 1 中罗列,同时在表中与相关设计的重要指标进行了比较。使用 SPICE 模型仿真,所设计的接收电路在室温、TT 工艺脚下,延迟为 194ps。对于 10mm 传输线,数据传输率为 2 Gb/s,单位能耗为 0.29 pJ/bit,平均功耗为 0.39mW。

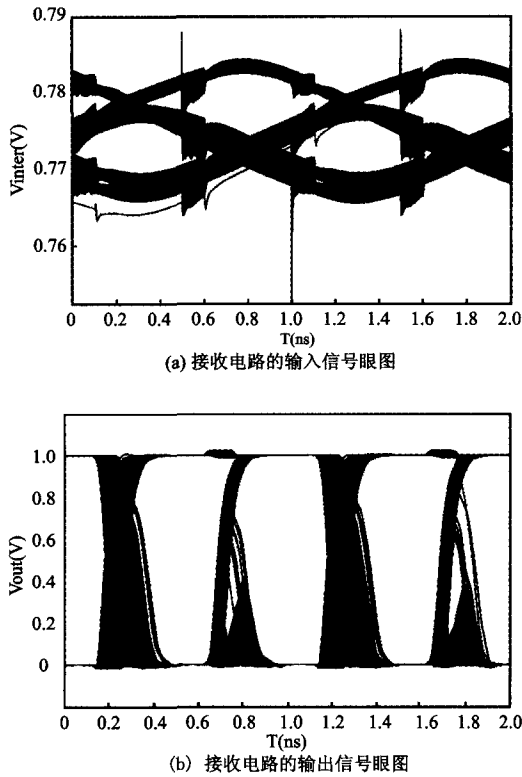


图 8 接收电路仿真的眼图

表 1 本文接收电路与相关设计比较

	文献 ^[2]	文献 ^[3]	文献 ^[4]	本设计
传输率	2Gb/s	4Gb/s	2.5Gb/s	2Gb/s
传输线长度	10mm, M4	10mm, M8	10mm, M3	10mm, M3
码间串扰补偿方式	电容型 Pre-emph. + 模拟 DFE	FFE + TIA	电容型 Pre-emph. + 1 阶 DFE	模拟 DFE
平均功耗	0.56mW	1.42mW	0.96mW	0.39mW
总共(Tot)		Tot: 0.36	Tot: 0.41	Tot: 0.3
发送端(Tx)	Tot: 0.28	Tx: 0.28	Tx: 0.06	Tot: 0.29
接收端(Rx)		Rx: 0.08	Rx: 0.35	
工艺	90nm CMOS	90nm CMOS	130nm CMOS	90nm CMOS

5 结束语

本文设计了一种低摆幅互连接收电路. 该接收电路采用了双时钟沿工作策略, 使用了改进型灵敏放大器、对称型 SR 锁存器以及模拟型判决反馈均衡器. 所设计的接收电路在室温、TT 工艺脚下, 延迟为 194ps. 同时对于 10mm 传输线, 数据传输率为 2 Gb/s, 单位能耗为 0.29 pJ/bit, 平均功耗为 0.39mW. 所设计的接收电路在性能与单位能耗与相关结构相当, 但平均功耗有较大优势.

参考文献:

[1] Vangal S, Howard J, Ruhl G, et al. An 80-tile 1.

28TFLOPS network—on—chip in 65 nm CMOS[J]. IEEE ISSCC Dig Tech Papers, 2007:98—99.

[2] Mensink E, Schinkel D, Klumperink E A M et al. Power Efficient gigabit communication over capacitively driven RCLimited on—chip interconnects[J]. IEEE Journal of Solid—State Circuits, 2010(45):447—457.

[3] Kim B, Stojanovic V. An energy—efficient equalized transceiver for RC—dominant channels[J]. IEEE J Solid—State Circuits, 2010,45(6):1186—1197.

[4] Jawwon Lee, Woojae Lee, SeongHwan. A 2.5—Gb/s on—chip interconnect transceiver with crosstalk and ISI equalizer in 130 nm CMOS[J]. circuits and systems I: Regular papers, IEEE Transactions, 2012 (59):124—136.

[5] D Schinkel, E Mensink, Nauta B A. A double—tail—Latch—type voltage sense amplifier with 18ps setup+hold time[C]// Solid—State Circuits Conference ISSCC Digest of Technical Papers IEEE International. [s. l.]:IEEE, 2007:314—605.

[6] Nikolic B, Oklobdzija V G, Leung M. Improved sense—amp Design and measurements[J]. Solid—State Circuits, IEEE Journal of, 2000(35):876—884.

[7] Miao li, kwasniewski Y. A 0.18 - μ m CMOS Receiver with Decision—feedback Equalization for Backplane Applications [C] // circuits and systems APCCAS 2006, IEEE Asia Pacific conference. [s. l.]: 2006: 1039—1042.

[8] Bernhard Wicht, Thomas Nirschl, Doris Schmitt—Landsiedel. Yield and Speed Optimization of a Latch—Type Voltage Sense Amplifier[J]. Solid State Circuits, 2004:1148—1158.

[9] Miyahara M, Asada Y, Daehwa P, et al. A low—noise self—calibrating dynamic comparator for high—speed ADCs[J]. Proc A—SSCC, 2008:269—272.

[10] HeungJun Jeon, Yong—Bin Kim. A cmos low—power low—offset and high—speed fully dynamic latched comparator[C]// IEEE International SOC Conference (SOCC), [S. L.]:IEEE, 2010:285—288.

[11] Ribeiro N S, Conforti E, Gallego C M. BER Estimation from measured eye diagrams of a wavelength regenerative converter employing a single—SOA[C]// SBMO/IEEE MIT—S International Microwave and Optoelectronics Conferene (IMOC), [S. L.]:IEEE, 2009:655—659.

[12] Mensink E. High—speed global on—chip interconnects and transceivers[D]. Ph D dissertation, University of Twente, Enschede, The Netherlands, 2007.